

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-022927
 (43)Date of publication of application : 24.01.1995

(51)Int.Cl.

H03K 17/00
H03K 5/00

(21)Application number : 05-150237
 (22)Date of filing : 22.06.1993

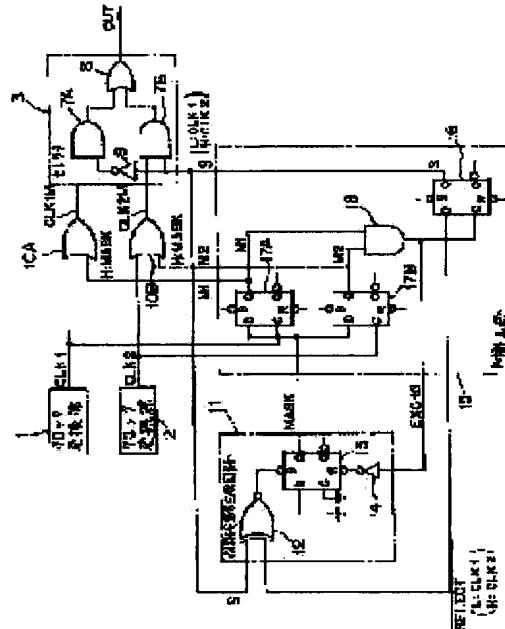
(71)Applicant : FUJITSU LTD
 (72)Inventor : TAKIZAWA YUJI
 KAWAI MASAAKI
 NAITO HIDETOSHI
 TAJIMA KAZUYUKI
 IKEDA TOSHIMI
 KIMURA TERUO

(54) CLOCK SWITCHING CIRCUIT

(57)Abstract:

PURPOSE: To eliminate a short periodic clock and to eliminate the malfunctions of various kinds of equipments operating by the clock by outputting the clock in a mask state which is held in an H level state over the period which is longer than a clock half period from a selector at the time of the switching operation of the selector.

CONSTITUTION: When a mask command signal MSK becomes an H level, the input data of a data input terminal D or a mask command signal MASK is made to be outputted, and the mask control signals M1 and M2 from data and an output terminal Q are made to rise and are made an H level state by the rise timing of the first clocks CLK 1 and CLK 2 after the mask command signal MASK becomes the H level state by D flip flops 17A and 17B, in a control circuit 15. Thus, OR gates 10A and 10B are made a mask operation states and the clock outputs CLK 1M and CLK 2M from these are held in the H level. Namely, the switching completion signal EXCHG of an AND gate 18 is made to rise and a control signal S is made to be outputted from a D flip flop 16 to a selector 3.



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-22927

(43)公開日 平成7年(1995)1月24日

(51)Int.Cl.⁶
H 03 K 17/00
5/00

識別記号 庁内整理番号
E 9184-5 J

7402-5 J

F I

H 03 K 5/00

技術表示箇所

K

審査請求 未請求 請求項の数3 O.L (全10頁)

(21)出願番号 特願平5-150237

(22)出願日 平成5年(1993)6月22日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 滝澤 雄二

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 河合 正昭

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 内藤 英俊

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 真田 有

最終頁に続く

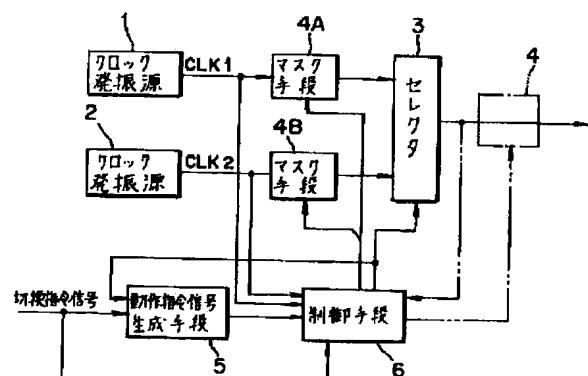
(54)【発明の名称】 クロック切換回路

(57)【要約】

【目的】 本発明は、通信装置、計算装置などにおいて現用系と予備系との少なくとも2系統のクロックを切換・出力するためのクロック切換回路に関し、切換動作時の短周期化クロックを取り除くことができるようにして、クロックを使用して動作する各種機器における誤動作の発生を防止することを目的とする。

【構成】 セレクタ3の切換動作時に、このセレクタ3に入力される各クロックを、その立ち上がりタイミングもしくは立ち下がりタイミングに応じて、クロック周期以上の期間にわたりハイレベル状態もしくはローレベル状態に保持するマスク手段4 A、4 Bを、セレクタ3のクロック入力側で各クロック毎にそなえるように構成する。

本発明の原理ブロック図



4---マスク手段

1

【特許請求の範囲】

【請求項1】少なくとも2系統のクロックのうちの1つを選択的に切り換えて出力するセレクタ(3)をそなえてなるクロック切換回路において、

該セレクタ(3)の切換動作時に、該セレクタ(3)に入力される各クロックを、その立ち上がりタイミングもしくは立ち下がりタイミングに応じて、クロック周期以上の期間にわたりハイレベル状態もしくはローレベル状態に保持するマスク手段(4A, 4B)が、該セレクタ(3)のクロック入力側で各クロック毎にそなえられていることを特徴とする、クロック切換回路。

【請求項2】少なくとも2系統のクロックのうちの1つを選択的に切り換えて出力するセレクタ(3)をそなえてなるクロック切換回路において、

該セレクタ(3)の切換動作時に、該セレクタ(3)から出力されるクロックを、その立ち上がりタイミングもしくは立ち下がりタイミングに応じて、クロック半周期以上の期間にわたりハイレベル状態もしくはローレベル状態に保持するマスク手段(4)が該セレクタ(3)のクロック出力側にそなえられていることを特徴とする、クロック切換回路。

【請求項3】該セレクタ(3)に対する切換指令信号および該セレクタ(3)の切換状態に応じて該マスク手段(4A, 4B, 4)に対する動作指令信号を生成する動作指令信号生成手段(5)がそなえられていることを特徴とする請求項1または2に記載のクロック切換回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、通信装置、計算装置などにおいて、現用系と予備系との少なくとも2系統のクロックを切換・出力するためのクロック切換回路に関する。

【0002】

【従来の技術】一般に、通信装置、計算装置など、高信頼性を要求される装置では、万一の場合を考慮してクロックの供給源を少なくとも2系統用意している。例えば、図6に示すように、2つのクロック発振源51, 52をそなえ、各クロック発振源51, 52からのクロックCLK1, CLK2を2:1セレクタ50に入力し、このセレクタ50を、制御系またはクロック断検出回路等の制御回路からの切換信号に基づいて切換制御することにより、クロック発振源51, 52からのクロックCLK1, CLK2のいずれか一方が、常時、装置を構成する各種論理回路へ出力されるようになっている。

【0003】これにより、現用系が故障した場合、または、クロック発振源51, 52の保守時には、予備系を選択し、その予備系のクロック発振源51または52からのクロックCLK1またはCLK2が、2:1セレクタ50からクロック出力として出力される。なお、從

2

来、2:1セレクタ50は、切換要求が発生した時に切換信号を受けて、直ちに、クロックCLK1からクロックCLK2、もしくは、クロックCLK2からクロックCLK1へ切り換えられる。

【0004】

【発明が解決しようとする課題】ところで、上述のようなクロック切換回路では、保守等のためにクロックを現用系から予備系に切り換える際に、当然、現在動作している回路に対してクロック切換による影響を与えないようすることが要求される。しかし、2系統あるクロック発振源51, 52からのクロックCLK1, CLK2の位相関係は、通常、図7、図8に示すように、時間とともに揺らいでいる。これは、クロック通倍回路などにPLLO(Phase Locked Oscillator)が使われており、2系統のクロックCLK1, CLK2の位相を完全に揃えることが難しいためである。

【0005】このような2系統のクロックCLK1, CLK2それぞれの揺らぎのために、2:1セレクタ50を任意の時間に切換信号により直ちに切り換えると、その切換タイミングによって、2:1セレクタ50からのクロック出力の切換後の周期が、一時的に、図7に示すように伸びたり、図8に示すように短くなったりする。

【0006】図7に示すように周期が長くなる場合には、パッケージの構成にも依存するが基本的にはLSIなどは正常な範囲内で動作することが可能である。これに対して、図8に示すように周期が短くなる場合には、LSI内での動作に必要な最小クロック幅を満足しなくなり、誤動作が発生する要因となる。本発明は、このような課題に鑑み創案されたもので、切換動作時における短周期化クロックを取り除くことができるようにして、クロックを使用して動作する各種機器における誤動作の発生を防止したクロック切換回路を提供することを目的とする。

【0007】

【課題を解決するための手段】図1は本発明の原理ブロック図で、この図1において、1, 2はそれぞれ同じ周期のクロックCLK1, CLK2を発振し現用系もしくは予備系として用いられるクロック発振源、3はこれらの2系統のクロック発振源1, 2からのクロックCLK1, CLK2のうちの一方を選択的に切り換えて出力するセレクタである。

【0008】また、4A, 4Bはそれぞれセレクタ3のクロック入力側において各クロックCLK1, CLK2毎に設けられたマスク手段で、各マスク手段4A, 4Bは、セレクタ3の切換動作時に、セレクタ3に入力される各クロックCLK1, CLK2を、その立ち上がりタイミングもしくは立ち下がりタイミングに応じて、クロック周期以上の期間にわたりハイレベル状態もしくはローレベル状態に保持するものである(請求項1)。

【0009】5はセレクタ3に対する切換指令信号およ

50

びセレクタ3の切換状態に応じてマスク手段4A, 4Bに対する動作指令信号を生成する動作指令信号生成手段（請求項3）。6は外部からの切換指令信号や動作指令信号生成手段5からの動作指令信号を受けてセレクタ3の切換状態やマスク手段4A, 4Bの動作を制御する制御手段である。

【0010】なお、マスク手段4A, 4Bをセレクタ3のクロック入力側にそなえる代わりに、図1に二点鎖線で示すように、マスク手段4をセレクタ3のクロック出力側にそなえてよい。このとき、マスク手段4は、セレクタ3の切換動作時に、セレクタ3から出力されるクロックを、その立ち上がりタイミングもしくは立ち下がりタイミングに応じて、クロック半周期以上の期間にわたりハイレベル状態もしくはローレベル状態に保持するもので（請求項2）、前述した動作指令信号生成手段5、制御手段6からの信号によってその動作を制御される。

【0011】

【作用】上述の本発明のクロック切換回路では、通常、各クロック発振源1, 2からのクロックCLK1, CLK2をセレクタ3に入力し、このセレクタ3を、外部からの切換指令信号に応じて制御手段6により切換制御することにより、クロック発振源1, 2からのクロックCLK1, CLK2のいずれか一方が選択されて切換出力される。

【0012】セレクタ3から出力されるクロックCLK1, CLK2を切り換える際には、切換指令信号を制御手段6に入力するが、このとき、動作指令信号生成手段5によって、切換指令信号およびセレクタ3の切換状態に応じてマスク手段4A, 4Bに対する動作指令信号が生成される。そして、その動作指令信号を受けた制御手段6によりマスク手段4A, 4Bの動作が制御され、セレクタ3に入力される各クロックCLK1, CLK2が、その立ち上がりタイミングもしくは立ち下がりタイミングに応じて、クロック周期以上の期間にわたりハイレベル状態もしくはローレベル状態に保持される。

【0013】これにより、切換動作時におけるクロック周期よりも短い短周期化クロックを取り除くことができる。なお、マスク手段4A, 4Bに代えてマスク手段4をセレクタ3のクロック出力側にそなえた場合には、マスク手段4の動作により、セレクタ3の切換動作時に、セレクタ3から出力されるクロックが、その立ち上がりタイミングもしくは立ち下がりタイミングに応じて、クロック半周期以上の期間にわたりハイレベル状態もしくはローレベル状態に保持されることになる。

【0014】

【実施例】以下、図面を参照して本発明の実施例を説明する。

(a) 第1実施例の説明

図2は本発明の第1実施例を示すブロック図で、この図

2に示すように、第1実施例においても、セレクタ3により、2系統のクロック発振源1, 2からのクロックCLK1, CLK2のうちの一方（実際には後述するORゲート10A, 10BからのCLK1M, CLK2Mのうちの一方）が選択的に切換・出力されるようになっている。

【0015】なお、セレクタ3は、ANDゲート7A, 7B, ORゲート8およびNOTゲート9から構成されている。ANDゲート7Aは、後述するORゲート10

10AからのCLK1Mと、後述する制御回路15からのセレクタ制御信号SのNOTゲート9による反転信号との論理積を出力するものであり、ANDゲート7Bは、後述するORゲート10BからのCLK2Mと、後述する制御回路15からのセレクタ制御信号Sとの論理積を出力するものである。また、ORゲート8は、ANDゲート7A, 7Bからの出力の論理和をセレクタ3のクロック出力OUTとして出力するものである。従って、セレクタ3は、制御回路15からのセレクタ制御信号Sがローレベル（以下、Lレベルという）状態の時にクロック発振源1AからのクロックCLK1(CLK1M)を選択して出力する一方、制御回路15からのセレクタ制御信号Sがハイレベル（以下、Hレベルという）状態の時にクロック発振源1BからのクロックCLK2(CLK2M)を選択して出力するようになっている。

【0016】そして、第1実施例においては、セレクタ3のクロック入力側（セレクタ3と各クロック発振源1A, 1Bとの間）に、各クロックCLK1, CLK2毎にORゲート（マスク手段）10A, 10Bが設けられている。これらのORゲート10A, 10Bは、後述する制御回路15からのマスク制御信号M1, M2に応じて動作し、セレクタ3の切換動作時に、セレクタ3に入力される各クロックCLK1, CLK2を、その立ち上がりタイミング（もしくは立ち下がりタイミング）に応じて、クロック周期以上の期間にわたりHレベル状態（もしくはLレベル状態）に保持するためのものである。なお、後述することなく、制御回路15からのマスク制御信号M1, M2がHレベル状態になると、各ORゲート10A, 10Bはマスク動作状態（クロックCLK1, CLK2のHレベルの保持状態）に移行するようになっている。

【0017】また、11はマスク指令信号生成回路（動作指令信号生成手段）で、このマスク指令信号生成回路11は、セレクタ3に対する切換指令信号SELECT（クロックCLK1を選択する場合にLレベルとなりクロックCLK2を選択する場合にHレベルとなる信号）およびセレクタ3の切換状態（制御回路15からのセレクタ制御信号S）に応じてORゲート10A, 10Bに対するマスク指令信号MASKを生成するものである。

【0018】マスク指令生成回路11は、排他的論理和（Exclusive OR）ゲート12, Dフリップフロップ1

3およびNOTゲート14から構成されている。排他的論理和ゲート12は、セレクタ3に対する切換指令信号SELECTと制御回路15からのセレクタ制御信号Sとの排他的論理和（切換指令信号SELECTとセレクタ制御信号Sとの状態が異なる場合に立ち上がる信号）を出力するものである。

【0019】また、Dフリップフロップ13は、排他的論理和ゲート12からの出力をセット端子Sに受け、排他的論理和ゲート12からの出力がHレベルである場合にデータ出力端子Qから後述する制御回路15へのマスク指令信号MASKを立ち上げるものである。このDフリップフロップ13は、制御回路15からの切換完了信号EXCHGをNOTゲート14を介してリセット端子Rに受け、切換完了信号EXCHGの立ち上がりタイミングでリセットされるようになっている。

【0020】制御回路15は、外部からの切換指令信号SELECTやマスク指令信号生成回路11からのマスク指令信号MASKを受けて、セレクタ3の切換状態を制御するセレクタ制御信号Sや、ORゲート10A、10Bの動作を制御するマスク制御信号M1、M2を生成・出力するもので、Dフリップフロップ16、17A、17BおよびANDゲート18から構成されている。

【0021】Dフリップフロップ17Aは、マスク指令信号生成回路11からのマスク指令信号MASKをデータ入力端子Dに受けるとともに、クロック発振源1からのクロックCLK1をクロック端子Cに受け、マスク指令信号MASKを、クロックCLK1の立ち上がりタイミングでORゲート10Aへのマスク制御信号M1としてデータ出力端子Qから出力するものである。同様に、Dフリップフロップ17Bは、マスク指令信号生成回路11からのマスク指令信号MASKをデータ入力端子Dに受けるとともに、クロック発振源2からのクロックCLK2をクロック端子Cに受け、マスク指令信号MASKを、クロックCLK2の立ち上がりタイミングでORゲート10Bへのマスク制御信号M2としてデータ出力端子Qから出力するものである。

【0022】また、ANDゲート18は、Dフリップフロップ17A、17Bからのマスク制御信号M1、M2の論理積を切換完了信号EXCHGとして出力するものである。さらに、Dフリップフロップ16は、外部からの切換指令信号SELECTをデータ入力端子Dに受けるとともに、ANDゲート18からの切換完了信号EXCHGをクロック端子Cに受け、切換指令信号SELECTを、切換完了信号EXCHGの立ち上がりタイミングでセレクタ3へのセレクタ制御信号Sとしてデータ出力端子Qから出力するものである。

【0023】次に、上述のごとく構成された第1実施例のクロック切換回路の動作を図3により説明する。まず、セレクタ3が、その出力信号OUTとして、クロック発振源1からのクロックCLK1(CLK1M)を出

力している状態（セレクタ制御信号SがLレベル状態）から、クロック発振源2からのクロックCLK2(CLK2M)を出力する状態に切り換える場合について説明する。

【0024】クロックCLK2に切り換える場合には、切換指令信号SELECTをLレベルからHレベルに切り換える。この時点では、制御回路15からのセレクタ制御信号Sは、クロックCLK1側つまりLレベルであるので、マスク指令信号生成回路11からのマスク指令信号MSKが、図3のタイミングT1で立ち上がりHレベルとなる。

【0025】マスク指令信号MSKがHレベルになると、制御回路15においては、Dフリップフロップ17A、17Bにより、マスク指令信号MASKがHレベル状態になった後の最初のクロックCLK1、CLK2の立ち上がりタイミングで、データ入力端子Dの入力データ（マスク指令信号MASK）が出力され、データ出力端子Qからのマスク制御信号M1、M2が立ち上がりHレベル状態になる。

【0026】これにより、ORゲート10A、10Bはマスク動作状態となり、ORゲート10A、10Bからのクロック出力CLK1M、CLK2MはHレベルに保持される。そして、図3のタイミングT2で2つのマスク制御信号M1、M2がいずれも立ち上がると、ANDゲート18の切換完了信号EXCHGが立ち上がってHレベルとなるとともに、その立ち上がりタイミングで、Dフリップフロップ16のデータ出力端子Qから、Hレベル状態に切り換えられた切換指令信号SELECTが、セレクタ3としてセレクタ3へ出力され、セレクタ3からの出力信号OUTがクロックCLK1MからクロックCLK2Mに切り換えられる。

【0027】また、この切換完了信号EXCHGの立ち上がりタイミングで、マスク指令信号生成回路11におけるDフリップフロップ13がリセットされ、マスク指令信号MSKはLレベルとなる。従って、制御回路15においては、Dフリップフロップ17A、17Bにより、マスク指令信号MASKがLレベル状態になった後の最初のクロックCLK1、CLK2の立ち上がりタイミングで、データ入力端子Dの入力データ（マスク指令信号MASK）が出力され、データ出力端子Qからのマスク制御信号M1、M2が立ち下がりLレベル状態になる。

【0028】つまり、Dフリップフロップ17A、17Bからのマスク制御信号M1、M2は、Hレベルに立ち上がってから、少なくともクロック1周期の期間（図3に示す例ではそれぞれ1周期、2周期）にわたりそのHレベル状態を保持され、ORゲート10A、10BからのクロックCLK1M、CLK2Mは、図3に示す例では、それぞれ、クロック1.5周期、クロック2.5周期の期間にわたりHレベル状態を保持されて、そのH

ベル状態つまりマスク状態の間にセレクタ3の切換制御が行なわれる。

【0029】これによって、図3に示すように、セレクタ3の切換動作時に、セレクタ3からは、出力信号OUTとして、クロック周期以上の期間にわたりHレベル状態に保持されたマスク状態のクロックCLK1MまたはCLK2Mが出力された後、ORゲート10A, 10Bによるマスク状態が解除され、クロック発振源2からのクロックCLK2(CLK2M)が出力される。

【0030】一方、セレクタ3が、その出力信号OUTとして、クロック発振源2からのクロックCLK2(CLK2M)を出力している状態(セレクタ制御信号SがHレベル状態)から、クロック発振源1からのクロックCLK1(CLK1M)を出力する状態に切り換える場合には、切換指令信号SELECTをHレベルからLレベルに切り換える。この時点では、制御回路15からのセレクタ制御信号Sは、クロックCLK2側つまりHレベルであるので、マスク指令信号生成回路11からのマスク指令信号MSKが、図3のタイミングT3で立ち上がりHレベルとなる。

【0031】マスク指令信号MSKがHレベルになると、制御回路15においては、Dフリップフロップ17A, 17Bにより、マスク指令信号MASKがHレベル状態になった後の最初のクロックCLK1, CLK2の立ち上がりタイミングで、データ入力端子Dの入力データ(マスク指令信号MASK)が出力され、データ出力端子Qからのマスク制御信号M1, M2が立ち上がりHレベル状態になる。

【0032】これにより、ORゲート10A, 10Bはマスク動作状態となり、ORゲート10A, 10Bからのクロック出力CLK1M, CLK2MはHレベルに保持される。そして、図3のタイミングT4で2つのマスク制御信号M1, M2がいずれも立ち上ると、ANDゲート18の切換完了信号EXCHGが立ち上がってHレベルとなるとともに、その立ち上がりタイミングで、Dフリップフロップ16のデータ出力端子Qから、Lレベル状態に切り換えられた切換指令信号SELECTが、セレクタ制御信号Sとしてセレクタ3へ出力され、セレクタ3からの出力信号OUTがクロックCLK2MからクロックCLK1Mに切り換えられる。

【0033】また、この切換完了信号EXCHGの立ち上がりタイミングで、マスク指令信号生成回路11におけるDフリップフロップ13がリセットされ、マスク指令信号MSKはLレベルとなる。以下、クロックCLK1からクロックCLK2への切換時と同様に、セレクタ3の切換動作時に、セレクタ3からは、出力信号OUTとして、クロック周期以上の期間にわたりHレベル状態に保持されたマスク状態のクロックCLK1MまたはCLK2Mが出力された後、ORゲート10A, 10Bによるマスク状態が解除され、クロック発振源1からのク

ロックCLK1(CLK1M)が出力される。

【0034】このように、第1実施例のクロック切換回路によれば、セレクタ3の切換動作時に、セレクタ3からは、クロック周期以上の期間にわたりHレベル状態に保持されたマスク状態のクロックCLK1MまたはCLK2Mが出力されることになるため、図8に示したようなクロック周期よりも短い短周期化クロックを取り除くことができ、クロックを使用して動作する各種機器における誤動作の発生を確実に防止することができる。

10 【0035】(b) 第2実施例の説明

図4は本発明の第2実施例を示すブロック図であり、図4中、既述の符号と同一の部分は、同一部分を示しているので、その詳細な説明は省略する。図4に示すように、第2実施例も第1実施例とほぼ同様に構成されているが、第1実施例ではセレクタ3のクロック入力側にマスク手段としてのORゲートをそなえていたものを、この第2実施例では、マスク手段として機能するORゲート19をセレクタ3のクロック出力側にそなえている。

- 【0036】このORゲート19は、後述する制御回路20からのマスク制御信号Mに応じて動作し、セレクタ3の切換動作時に、セレクタ3に入力される各クロックCLK1, CLK2を、その立ち上がりタイミング(もしくは立ち下がりタイミング)に応じて、クロック半周期以上の期間にわたりHレベル状態(もしくはLレベル状態)に保持するためのものである。なお、後述するごとく、制御回路20からのマスク制御信号MがHレベル状態になると、ORゲート19はマスク動作状態(セレクタ3からのクロック出力信号OCKのHレベルの保持状態)に移行するようになっている。

- 30 【0037】また、第2実施例の制御回路20は、外部からの切換指令信号SELECTやマスク指令信号生成回路11からのマスク指令信号MASKを受けて、セレクタ3の切換状態を制御するセレクタ制御信号Sや、ORゲート19の動作を制御するマスク制御信号Mを生成・出力するもので、Dフリップフロップ16, 21から構成されている。

- 【0038】Dフリップフロップ21は、マスク指令信号生成回路11からのマスク指令信号MASKをデータ入力端子Dに受けるとともに、セレクタ3からのクロック出力信号OCKをクロック端子Cに受け、マスク指令信号MASKを、クロック出力信号OCKの立ち上がりタイミングでORゲート19へのマスク制御信号Mとしてデータ出力端子Qから出力するものである。

- 【0039】また、Dフリップフロップ21からのマスク制御信号Mは、切換完了信号EXCHGとしても用いられ、第2実施例のDフリップフロップ16は、外部からの切換指令信号SELECTをデータ入力端子Dに受けるとともに、Dフリップフロップ21からのマスク制御信号Mを切換完了信号EXCHGとしてクロック端子Cに受け、切換指令信号SELECTを、切換完了信号

EXCHGの立ち上がりタイミングでセレクタ3へのセレクタ制御信号Sとしてデータ出力端子Qから出力するものである。

【0040】次に、上述のことく構成された第2実施例のクロック切換回路の動作を図5により説明する。まず、セレクタ3が、その出力信号OCK(ORゲート19からの出力信号OUT)として、クロック発振源1からのクロックCLK1を出力している状態(セレクタ制御信号SがLレベル状態)から、クロック発振源2からのクロックCLK2を出力する状態に切り換える場合について説明する。

【0041】クロックCLK2に切り換える場合には、第1実施例と同様に、切換指令信号SELECTをLレベルからHレベルに切り換える。この時点では、制御回路15からのセレクタ制御信号Sは、クロックCLK1側つまりLレベルであるので、マスク指令信号生成回路11からのマスク指令信号MSKが、図5のタイミングT5で立ち上がりHレベルとなる。

【0042】マスク指令信号MSKがHレベルになると、制御回路20においては、Dフリップフロップ21により、マスク指令信号MASKがHレベル状態になった後の最初のクロック出力信号OCKの立ち上がりタイミングで、データ入力端子Dの入力データ(マスク指令信号MASK)が出力され、図5のタイミングT6でデータ出力端子Qからのマスク制御信号Mが立ち上がりHレベル状態になる。

【0043】これにより、ORゲート19はマスク動作状態となり、ORゲート19からのクロック出力信号OUTはHレベルに保持される。そして、マスク制御信号Mつまり切換完了信号EXCHGが立ち上がってHレベルとなると、その立ち上がりタイミングで、Dフリップフロップ16のデータ出力端子Qから、Hレベル状態に切り換えられた切換指令信号SELECTが、セレクタ制御信号Sとしてセレクタ3へ出力され、セレクタ3からのクロック出力信号OCKがクロックCLK1からクロックCLK2に切り換えられる。

【0044】また、切換完了信号EXCHGの立ち上がりタイミングで、マスク指令信号生成回路11におけるDフリップフロップ13がリセットされ、マスク指令信号MSKはLレベルとなる。従って、制御回路20においては、Dフリップフロップ19により、マスク指令信号MASKがLレベル状態になった後の最初のクロック出力信号OCKの立ち上がりタイミングで、データ入力端子Dの入力データ(マスク指令信号MASK)が出力され、データ出力端子Qからのマスク制御信号Mが立ち下がりLレベル状態になる。

【0045】これにより、図5に示すように、セレクタ3からのクロック出力信号OCKには、切換動作時にクロック周期よりも短いクロック信号が生じているが、ORゲート19によるマスク動作で、この短周期化クロック

クがマスキングされ、ORゲート19からクロック半周期よりも長いクロックが出力された後、ORゲート19によるマスク状態が解除され、クロック発振源2からのクロックCLK2が出力される。

【0046】一方、セレクタ3により選択するクロックをCLK2からCLK1に切り換える場合には、切換指令信号SELECTをHレベルからLレベルに切り換える。この時点では、制御回路20からのセレクタ制御信号Sは、クロックCLK2側つまりHレベルであるで、マスク指令信号生成回路11からのマスク指令信号MSKが、図5のタイミングT7で立ち上がりHレベルとなる。

【0047】マスク指令信号MSKがHレベルになると、制御回路20においては、Dフリップフロップ19により、マスク指令信号MASKがHレベル状態になった後の最初のクロック出力信号OCKの立ち上がりタイミングで、データ入力端子Dの入力データ(マスク指令信号MASK)が出力され、図5のタイミングT8でデータ出力端子Qからのマスク制御信号Mが立ち上がりHレベル状態になる。

【0048】これにより、ORゲート19はマスク動作状態となり、ORゲート19からのクロック出力信号OUTはHレベルに保持される。そして、マスク制御信号Mつまり切換完了信号EXCHGが立ち上がってHレベルとなると、その立ち上がりタイミングで、Dフリップフロップ16のデータ出力端子Qから、Lレベル状態に切り換えられた切換指令信号SELECTが、セレクタ制御信号Sとしてセレクタ3へ出力され、セレクタ3からのクロック出力信号OCKがクロックCLK2からクロックCLK1に切り換えられる。

【0049】また、切換完了信号EXCHGの立ち上がりタイミングで、マスク指令信号生成回路11におけるDフリップフロップ13がリセットされ、マスク指令信号MSKはLレベルとなる。以下、クロックCLK1からクロックCLK2への切換時と同様に、セレクタ3の切換動作時に、クロック出力信号OUTとして、クロック半周期以上の期間にわたりHレベル状態に保持されたマスク状態のクロックCLK1またはCLK2が出力された後、ORゲート19によるマスク状態が解除され、クロック発振源1からのクロックCLK1が出力される。

【0050】このように、第2実施例のクロック切換回路によっても、上述した第1実施例と同様の作用効果が得られる。なお、上述した第1および第2実施例では、いずれも、クロックをHレベルで保持してマスキングを行なう場合について説明したが、セレクタ3の切換動作時にクロックをLレベルで保持してマスキングを行なってもよく、この場合も上述した実施例と全く同様の作用効果を得られることは言うまでもない。

【0051】また、上述した第1および第2実施例で

11

は、いずれも、クロック発振源を2つそなえ、2系統のクロックCLK1, CLK2のいずれか一方を選択的に切換出力する場合について説明したが、本発明は、これに限定されるものでなく、3系統以上のクロックを有し、これらのクロックのうちの1つを選択的に切換出力する場合にも同様に適用され、上述した実施例と同様の作用効果を得ることができる。

【0052】

【発明の効果】以上詳述したように、本発明のクロック切換回路（請求項1, 2）によれば、セレクタの切換動作時に、セレクタから、クロック半周期以上の期間にわたりHレベル状態に保持されたマスク状態のクロックを出力するように構成したので、切換動作時における短周期化クロックを取り除くことができ、クロックを使用して動作する各種機器における誤動作の発生を確実に防止できる効果がある。

【0053】また、セレクタに対する切換指令信号およびセレクタの切換状態に応じてマスク手段に対する動作指令信号を自動的に生成するように構成したので（請求項3）、セレクタ切換時にマスク手段の動作指令を別途入力する必要がなくなる。

【図面の簡単な説明】

【図1】本発明の原理ブロック図である。

【図2】本発明の第1実施例を示すブロック図である。

【図3】本発明の第1実施例の動作を説明するためのタイミングチャートである。

【図4】本発明の第2実施例を示すブロック図である。

【図5】本発明の第2実施例の動作を説明するためのタ*

12

* イミングチャートである。

【図6】従来例を示すブロック図である。

【図7】従来例の動作を説明するためのタイミングチャートである。

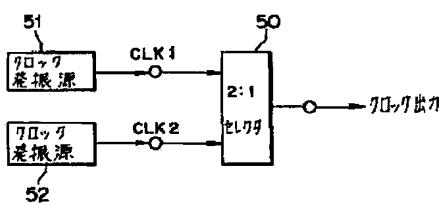
【図8】従来例の動作を説明するためのタイミングチャートである。

【符号の説明】

- | | |
|--------------|-------------------------|
| 1, 2 | クロック発振源 |
| 3 | セレクタ |
| 10 | 4 マスク手段 |
| | 5 動作指令信号生成手段 |
| | 6 制御手段 |
| | 7A, 7B ANDゲート |
| | 8 ORゲート |
| | 9 NOTゲート |
| | 10A, 10B ORゲート（マスク手段） |
| 11 | マスク指令信号生成回路（動作指令信号生成手段） |
| 12 | 排他的論理和（Exclusive OR）ゲート |
| 13 | Dフリップフロップ |
| 14 | NOTゲート |
| 15 | 制御回路 |
| 16, 17A, 17B | Dフリップフロップ |
| 18 | ANDゲート |
| 19 | ORゲート（マスク手段） |
| 20 | 制御回路 |
| 21 | Dフリップフロップ |

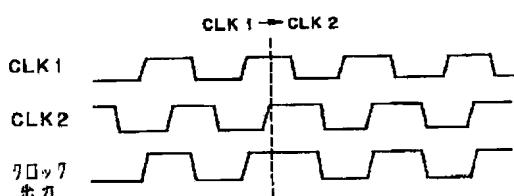
【図6】

従来例を示すブロック図



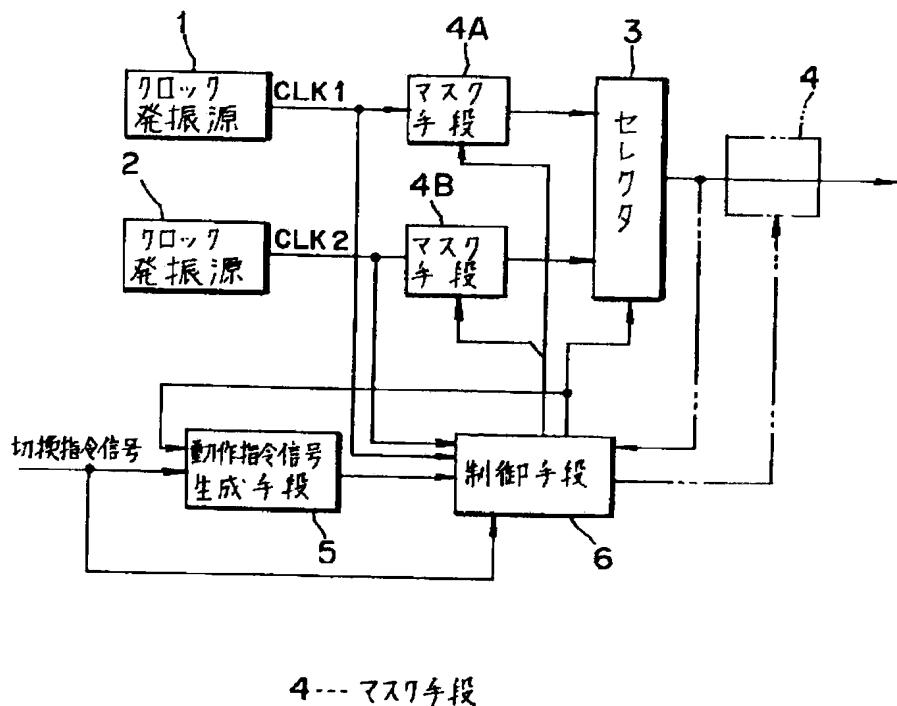
【図7】

従来例の動作を説明するためのタイミングチャート



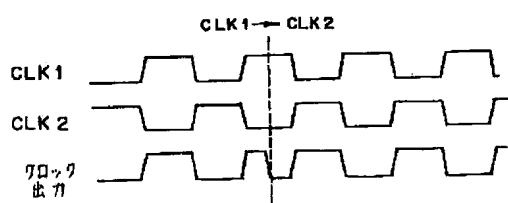
【図1】

本発明の原理ブロック図



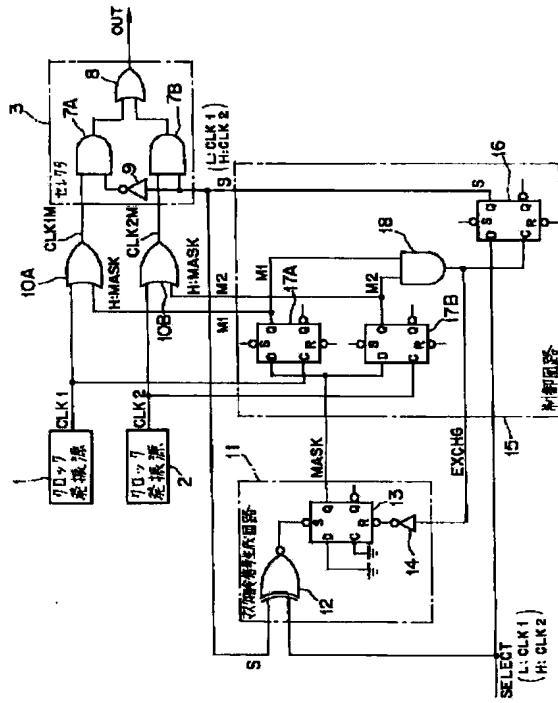
【図8】

従来例の動作を説明するためのタイミングチャート



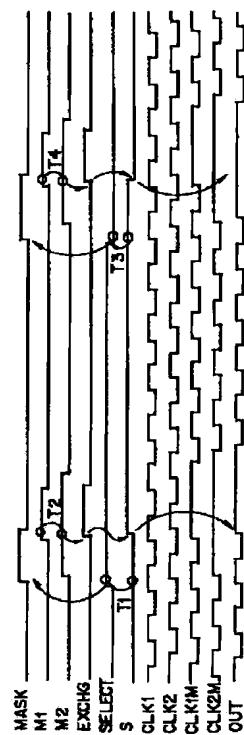
【図2】

本発明の第1実施例を示すブロック図



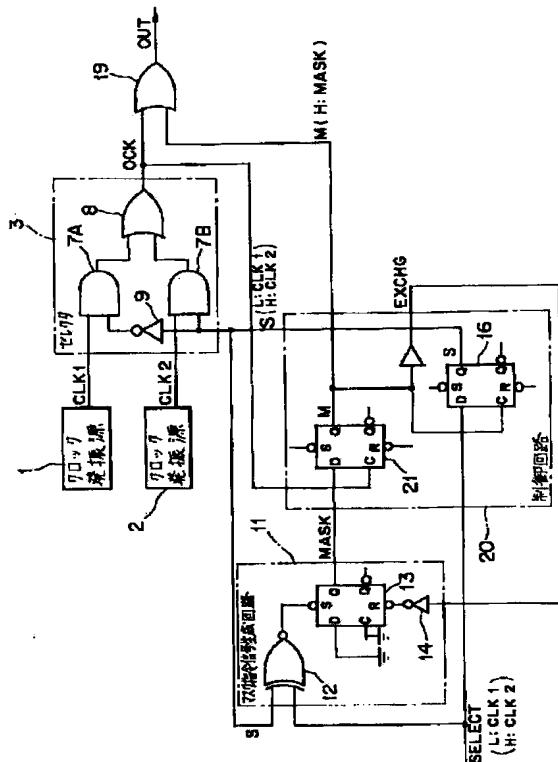
【図3】

本発明の第1実施例の動作を説明するためのタイミングチャート



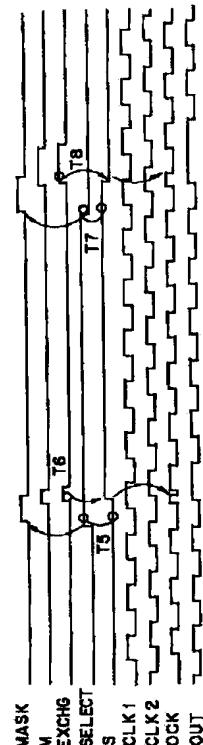
【図4】

本発明の第2実施例を示すブロック図



【図5】

本発明の第2実施例の動作説明ために用いたタイミングチャート



フロントページの続き

(72)発明者 田島 一幸

神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(72)発明者 池田 聰美

神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(72)発明者 木村 輝夫

栃木県小山市城東三丁目28番1号 富士通
ディジタル・テクノロジ株式会社内

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. *** shows the word which can not be translated.

3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] this invention -- a communication device, count equipment, etc. -- setting -- present -- business -- it is related with the clock change-over circuit for switching and outputting at least two clocks of a system and a reserve system.

[0002]

[Description of the Prior Art] Generally, with equipments of which high-reliability is required, such as a communication device and count equipment, at least two sources of supply of a clock are prepared in consideration of the case of being emergency. For example, as shown in drawing 6, two sources 51 and 52 of a clock oscillation are offered. This selector 50 by carrying out change-over control based on the change-over signal from control circuits, such as a control system or a clock stop detector, by inputting the clocks CLK1 and CLK2 from each sources 51 and 52 of a clock oscillation into 2:1 selectors 50. Either of the clocks CLK1 and CLK2 from the sources 51 and 52 of a clock oscillation is always outputted to the various logical circuits which constitute equipment.

[0003] thereby -- present -- business -- when a system breaks down, a reserve system is chosen at the time of maintenance of the sources 51 and 52 of a clock oscillation, and the clocks CLK1 or CLK2 from the sources 51 or 52 of a clock oscillation of the reserve system are outputted to it as a clock output from 2:1 selectors 50. In addition, conventionally, 2:1 selectors 50 are immediately switched to a clock CLK2 or a clock CLK1 from a clock CLK2 from a clock CLK1 in response to a change-over signal, when a change-over demand occurs.

[0004]

[Problem(s) to be Solved by the Invention] by the way -- the above clock change-over circuits -- a maintenance sake -- a clock -- present -- business -- in case it switches to a reserve system from a system, to make it not have effect by clock change-over naturally to the circuit which is carrying out current actuation is demanded. However, the phase relation of the clocks CLK1 and CLK2 from the sources 51 and 52 of a clock oscillation which have two lines is usually swinging with time amount, as shown in drawing 7 and drawing 8. PLO (Phase Locked Oscillator) is used for the clock multiplying circuit etc., and this is because it is difficult to arrange completely the phase of two clocks CLK1 and CLK2.

[0005] such two clocks CLK1 and CLK2 -- by the change-over timing, temporarily, it will be extended, or if 2:1 selectors 50 are immediately switched to the time amount of arbitration with a change-over signal for each fluctuation, the period after a change-over of the clock output from 2:1 selectors 50 will become short, as shown in drawing 8, as shown in drawing 7.

[0006] As shown in drawing 7, when a period becomes long, although it is dependent also on the configuration of a package, LSI etc. can be fundamentally operated within normal limits. On the other hand, as shown in drawing 8, when a period becomes short, it becomes the factor

which stops satisfying the minimum clock width of face required for actuation within LSI, and malfunction generates. As it was originated in view of such a technical problem and this invention can remove the short period-ized clock at the time of change-over actuation, it aims at offering the clock change-over circuit which prevented generating of malfunction in the various devices which operate using a clock.

[0007]

[Means for Solving the Problem] drawing 1 -- the principle block diagram of this invention -- it is -- this drawing 1 -- setting -- the clocks CLK1 and CLK2 of the period with 1 and 2 -- oscillating -- present -- business -- the source of a clock oscillation used as a system or a reserve system and 3 are selectors which switch alternatively one side of the clocks CLK1 and CLK2 from these two sources 1 and 2 of a clock oscillation, and output it. [respectively same]

[0008] Moreover, 4A and 4B are the mask means established every clocks CLK [CLK1 and] 2 in the clock input side of a selector 3, respectively, and each mask means 4A and 4B hold each clocks CLK1 and CLK2 inputted into a selector 3 at the time of change-over actuation of a selector 3 in a high-level condition or the low-level condition over the period more than a clock period according to the standup timing or falling timing (claim 1).

[0009] 5 is a command signal generation means (claim 3) of operation to generate the command signal of operation over the mask means 4A and 4B, according to the change-over condition of the change-over command signal and selector 3 to a selector 3. 6 is a control means which controls actuation of the change-over condition of a selector 3, or the mask means 4A and 4B in response to the change-over command signal from the outside, or the command signal of operation from the command signal generation means 5 of operation.

[0010] In addition, instead of offering the mask means 4A and 4B on the clock input side of a selector 3, as a two-dot chain line shows, the mask means 4 may be offered on drawing 1 at the clock output side of a selector 3. The mask means 4 holds the clock outputted from a selector 3 at the time of change-over actuation of a selector 3 in a high-level condition or the low-level condition over the period more than a clock half period according to that standup timing or falling timing, and has that actuation controlled by the signal from the command signal generation means 5 of operation and a control means 6 mentioned above (claim 2) at this time.

[0011]

[Function] In the clock change-over circuit of above-mentioned this invention, the change-over output of either of the clocks CLK1 and CLK2 from the sources 1 and 2 of a clock oscillation is chosen and carried out by inputting the clocks CLK1 and CLK2 from each sources 1 and 2 of a clock oscillation into a selector 3, and usually carrying out change-over control of this selector 3 by the control means 6 according to the change-over command signal from the outside.

[0012] Although a change-over command signal is inputted into a control means 6 in case the clocks CLK1 and CLK2 outputted from a selector 3 are switched, according to a change-over command signal and the change-over condition of a selector 3, the command signal of operation over the mask means 4A and 4B is generated by the command signal generation means 5 of operation at this time. And actuation of the mask means 4A and 4B is controlled by the control means 6 which received the command signal of operation, and each clocks CLK1 and CLK2 inputted into a selector 3 are held over the period more than a clock period at a high-level condition or a low-level condition according to the standup timing or falling timing.

[0013] Thereby, a short period-ized clock shorter than the clock period at the time of change-over actuation can be removed. In addition, when it replaces with the mask means 4A and 4B and the mask means 4 is offered on the clock output side of a selector 3, the clock outputted from

a selector 3 will be held in a high-level condition or the low-level condition over the period more than a clock half period by actuation of the mask means 4 according to the standup timing or falling timing at the time of change-over actuation of a selector 3.

[0014]

[Example] Hereafter, the example of this invention is explained with reference to a drawing.

(a) The explanatory view 2 of the 1st example is a block diagram showing the 1st example of this invention, and as shown in this drawing 2, also in the 1st example, the selector 3 switched and outputted of the clocks CLK1 and CLK2 from two sources 1 and 2 of a clock oscillation alternatively on the other hand (on the other hand of [M CLK1 from the OR gates 10A and 10B mentioned later in fact CLK2] M), and it is come.

[0015] In addition, the selector 3 consists of the AND gates 7A and 7B, the OR gate 8, and the NOT gate 9. AND-gate 7A outputs the AND of CLK1M from OR-gate10A mentioned later, and the reversal signal by the NOT gate 9 of the selector control signal S from the control circuit 15 mentioned later, and AND-gate 7B outputs the AND of CLK2M from OR-gate10B mentioned later, and the selector control signal S from the control circuit 15 mentioned later. Moreover, the OR gate 8 outputs the OR of the output from the AND gates 7A and 7B as a clock output OUT of a selector 3. Therefore, when the selector control signal S from a control circuit 15 is in a low-level (henceforth L level) condition, while a selector 3 chooses and outputs the clock CLK1 (CLK1M) from source of clock oscillation 1A, when the selector control signal S from a control circuit 15 is in a high level (henceforth H level) condition, it chooses the clock CLK2 (CLK2M) from source of clock oscillation 1B, and outputs it.

[0016] And in the 1st example, the OR gates (mask means) 10A and 10B are established in the clock input side (between a selector 3 and each sources 1A and 1B of a clock oscillation) of a selector 3 every clocks CLK [CLK1 and] 2. These OR gates 10A and 10B are for holding each clocks CLK1 and CLK2 which operate according to the mask control signals M1 and M2 from the control circuit 15 mentioned later, and are inputted into a selector 3 at the time of change-over actuation of a selector 3 in the H level condition (or L level condition) over the period more than a clock period according to the standup timing (or falling timing). In addition, if the mask control signals M1 and M2 from a control circuit 15 will be in H level condition so that it may mention later, each OR gates 10A and 10B will shift to mask operating state (maintenance condition of H level of clocks CLK1 and CLK2).

[0017] Moreover, 11 is a mask command signal generation circuit (command signal generation means of operation), and this mask command signal generation circuit 11 generates the mask command signal MASK over the OR gates 10A and 10B according to the change-over command signal SELECT (signal which serves as H level when it is set to L level when choosing a clock CLK1, and choosing a clock CLK2) and the change-over condition (the selector control signal S from a control circuit 15) of a selector 3 over a selector 3.

[0018] The mask command generation circuit 11 consists of the exclusive-OR (Exclusive OR) gate 12, D flip-flop 13, and the NOT gate 14. An exclusive OR gate 12 outputs the exclusive OR (signal which starts when the conditions of the change-over command signal SELECT and the selector control signal S differ) of the change-over command signal SELECT and the selector control signal S from a control circuit 15 over a selector 3.

[0019] Moreover, D flip-flop 13 receives the output from an exclusive OR gate 12 in the set terminal S, and when the output from an exclusive OR gate 12 is H level, it starts the mask command signal MASK to the control circuit 15 later mentioned from the data output terminal Q. This D flip-flop 13 receives the completion signal EXCHG of a change-over from a control

circuit 15 in the reset terminal R through the NOT gate 14, and is reset to the standup timing of the completion signal EXCHG of a change-over.

[0020] A control circuit 15 generates and outputs the mask control signals M1 and M2 which control actuation of the selector control signal S and the OR gates 10A and 10B which control the change-over condition of a selector 3 in response to the change-over command signal SELECT from the outside, and the mask command signal MASK from the mask command signal generation circuit 11, and consists of D flip-flops 16, 17A, and 17B and the AND gate 18.

[0021] D-flip-flop 17A receives the clock CLK1 from the source 1 of a clock oscillation in the clock terminal C, and outputs the mask command signal MASK from the data output terminal Q to the standup timing of a clock CLK1 as a mask control signal M1 to OR-gate 10A while it receives the mask command signal MASK from the mask command signal generation circuit 11 in the data input terminal D. Similarly, D-flip-flop 17B receives the clock CLK2 from the source 2 of a clock oscillation in the clock terminal C, and outputs the mask command signal MASK from the data output terminal Q to the standup timing of a clock CLK2 as a mask control signal M2 to OR-gate 10B while it receives the mask command signal MASK from the mask command signal generation circuit 11 in the data input terminal D.

[0022] Moreover, the AND gate 18 outputs the AND of the mask control signals M1 and M2 from D flip-flops 17A and 17B as a completion signal EXCHG of a change-over. Furthermore, D flip-flop 16 receives the completion signal EXCHG of a change-over from the AND gate 18 in the clock terminal C, and outputs the change-over command signal SELECT from the data output terminal Q as a selector control signal S to a selector 3 to the standup timing of the completion signal EXCHG of a change-over while it receives the change-over command signal SELECT from the outside in the data input terminal D.

[0023] Next, drawing 3 explains actuation of the clock change-over circuit of the 1st constituted example like ****. First, a selector 3 explains the case where it switches to the condition of outputting the clock CLK2 (CLK2M) from the source 2 of a clock oscillation, as the output signal OUT from the condition (the selector control signal S is L level condition) which is outputting the clock CLK1 (CLK1M) from the source 1 of a clock oscillation.

[0024] In switching to a clock CLK2, it switches the change-over command signal SELECT to H level from L level. At this time, since the selector control signal S from a control circuit 15 is a clock CLK1 side, i.e., L level, the mask command signal MSK from the mask command signal generation circuit 11 starts to the timing T1 of drawing 3, and serves as H level.

[0025] If the mask command signal MSK is set to H level, in a control circuit 15, by D flip-flops 17A and 17B, it is the standup timing of the clocks CLK1 and CLK2 of the beginning after the mask command signal MASK is in H level condition, and the input data (mask command signal MASK) of the data input terminal D is outputted, the mask control signals M1 and M2 from the data output terminal Q start, and it will be in H level condition.

[0026] Thereby, the OR gates 10A and 10B will be in mask operating state, and clock output CLK1M from the OR gates 10A and 10B and CLK2M are held at H level. And if two mask control signals M1 and M2 all start to the timing T2 of drawing 3, while the completion signal EXCHG of a change-over of the AND gate 18 will start and being set to H level To the standup timing, from the data output terminal Q of D flip-flop 16 The change-over command signal SELECT switched to H level condition is outputted to a selector 3 as a selector control signal S, and the output signal OUT from a selector 3 is switched to clock CLK2M from clock CLK1M.

[0027] Moreover, D flip-flop 13 in the mask command signal generation circuit 11 is reset to the standup timing of this completion signal EXCHG of a change-over, and the mask command

signal MSK serves as L level. Therefore, in a control circuit 15, by D flip-flops 17A and 17B, it is the standup timing of the clocks CLK1 and CLK2 of the beginning after the mask command signal MASK is in L level condition, and the input data (mask command signal MASK) of the data input terminal D is outputted, the mask control signals M1 and M2 from the data output terminal Q fall, and it will be in L level condition.

[0028] That is, the mask control signals M1 and M2 from D flip-flops 17A and 17B After starting on H level, the H level condition is held over the period (at the example shown in drawing 3, they are one period and two periods, respectively) of clock 1 period at least. Clock CLK1M from the OR gates 10A and 10B and CLK2M In the example shown in drawing 3, H level condition is held over the period of clock 1.5 period and clock 2.5 period, and change-over control of a selector 3 is performed between the H level condition, i.e., a masked state, respectively.

[0029] At the time of change-over actuation of a selector 3, as shown in drawing 3, after clock CLK1M of the masked state held over the period more than a clock period as an output signal OUT at H level condition or CLK2M are outputted by this, the masked state by the OR gates 10A and 10B is canceled by it, and the clock CLK2 (CLK2M) from the source 2 of a clock oscillation is outputted from a selector 3.

[0030] On the other hand, when a selector 3 switches to the condition of outputting the clock CLK1 (CLK1M) from the source 1 of a clock oscillation, as the output signal OUT from the condition (the selector control signal S is H level condition) which is outputting the clock CLK2 (CLK2M) from the source 2 of a clock oscillation, the change-over command signal SELECT is switched to L level from H level. At this time, since the selector control signal S from a control circuit 15 is a clock CLK2 side, i.e., H level, the mask command signal MSK from the mask command signal generation circuit 11 starts by timing T3 of drawing 3, and serves as H level.

[0031] If the mask command signal MSK is set to H level, in a control circuit 15, by D flip-flops 17A and 17B, it is the standup timing of the clocks CLK1 and CLK2 of the beginning after the mask command signal MASK is in H level condition, and the input data (mask command signal MASK) of the data input terminal D is outputted, the mask control signals M1 and M2 from the data output terminal Q start, and it will be in H level condition.

[0032] Thereby, the OR gates 10A and 10B will be in mask operating state, and clock output CLK1M from the OR gates 10A and 10B and CLK2M are held at H level. And if two mask control signals M1 and M2 all start by timing T four of drawing 3, while the completion signal EXCHG of a change-over of the AND gate 18 will start and being set to H level To the standup timing, from the data output terminal Q of D flip-flop 16 The change-over command signal SELECT switched to L level condition is outputted to a selector 3 as a selector control signal S, and the output signal OUT from a selector 3 is switched to clock CLK1M from clock CLK2M.

[0033] Moreover, D flip-flop 13 in the mask command signal generation circuit 11 is reset to the standup timing of this completion signal EXCHG of a change-over, and the mask command signal MSK serves as L level. Like the time of the change-over on a clock CLK2 from a clock CLK1, hereafter at the time of change-over actuation of a selector 3 from a selector 3 After clock CLK1M of the masked state held over the period more than a clock period as an output signal OUT at H level condition or CLK2M were outputted, The masked state by the OR gates 10A and 10B is canceled, and the clock CLK1 (CLK1M) from the source 1 of a clock oscillation is outputted.

[0034] According to the clock change-over circuit of the 1st example, at the time of change-over actuation of a selector 3 thus, from a selector 3 Since clock CLK1M of the masked state held

over the period more than a clock period at H level condition or CLK2M will be outputted, A short period-sized clock shorter than a clock period as shown in drawing 8 can be removed, and generating of malfunction in the various devices which operate using a clock can be prevented certainly.

[0035] (b) The explanatory view 4 of the 2nd example is a block diagram showing the 2nd example of this invention, and among drawing 4, since the same part as a sign as stated above shows the same part, omit the detailed explanation. Although it is constituted almost like [the 2nd example] the 1st example as shown in drawing 4, in the 1st example, the OR gate 19 which functions as a mask means what had offered the OR gate as a mask means on the clock input side of a selector 3 in this 2nd example is offered on the clock output side of a selector 3.

[0036] This OR gate 19 is for holding each clocks CLK1 and CLK2 which operate according to the mask control signal M from the control circuit 20 mentioned later, and are inputted into a selector 3 at the time of change-over actuation of a selector 3 in the H level condition (or L level condition) over the period more than a clock half period according to that standup timing (or falling timing). In addition, if the mask control signal M from a control circuit 20 will be in H level condition so that it may mention later, the OR gate 19 will shift to mask operating state (maintenance condition of H level of the clock output signal OCK from a selector 3).

[0037] Moreover, the control circuit 20 of the 2nd example generates and outputs the mask control signal M which controls actuation of the selector control signal S and the OR gate 19 which control the change-over condition of a selector 3 in response to the change-over command signal SELECT from the outside, and the mask command signal MASK from the mask command signal generation circuit 11, and consists of D flip-flops 16 and 21.

[0038] D flip-flop 21 receives the clock output signal OCK from a selector 3 in the clock terminal C, and outputs the mask command signal MASK from the data output terminal Q as a mask control signal M to the OR gate 19 to the standup timing of the clock output signal OCK while it receives the mask command signal MASK from the mask command signal generation circuit 11 in the data input terminal D.

[0039] Moreover, the mask control signal M from D flip-flop 21 It is used also as a completion signal EXCHG of a change-over. D flip-flop 16 of the 2nd example While receiving the change-over command signal SELECT from the outside in the data input terminal D It receives in the clock terminal C by making the mask control signal M from D flip-flop 21 into the completion signal EXCHG of a change-over. The change-over command signal SELECT is outputted from the data output terminal Q as a selector control signal S to a selector 3 to the standup timing of the completion signal EXCHG of a change-over.

[0040] Next, drawing 5 explains actuation of the clock change-over circuit of the 2nd constituted example like ****. First, a selector 3 explains the case where it switches to the condition of outputting the clock CLK2 from the source 2 of a clock oscillation, from the condition (the selector control signal S is L level condition) which is outputting the clock CLK1 from the source 1 of a clock oscillation as the output signal OCK (output signal OUT from the OR gate 19).

[0041] In switching to a clock CLK2, it switches the change-over command signal SELECT to H level from L level like the 1st example. At this time, since the selector control signal S from a control circuit 15 is a clock CLK1 side, i.e., L level, the mask command signal MSK from the mask command signal generation circuit 11 starts to the timing T5 of drawing 5, and serves as H level.

[0042] If the mask command signal MSK is set to H level, in a control circuit 20, by D flip-flop

21, it is the standup timing of the clock output signal OCK of the beginning after the mask command signal MASK is in H level condition, and the input data (mask command signal MASK) of the data input terminal D is outputted, the mask control signal M from the data output terminal Q starts to the timing T6 of drawing 5, and it will be in H level condition.

[0043] Thereby, the OR gate 19 will be in mask operating state, and the clock output signal OUT from the OR gate 19 is held at H level. And if the mask control signal M EXCHG, i.e., the completion signal of a change-over, starts and it is set to H level, to the standup timing, the change-over command signal SELECT switched to H level condition will be outputted to a selector 3 as a selector control signal S from the data output terminal Q of D flip-flop 16, and the clock output signal OCK from a selector 3 will be switched to a clock CLK2 from a clock CLK1.

[0044] Moreover, D flip-flop 13 in the mask command signal generation circuit 11 is reset to the standup timing of the completion signal EXCHG of a change-over, and the mask command signal MSK serves as L level. Therefore, in a control circuit 20, by D flip-flop 19, it is the standup timing of the clock output signal OCK of the beginning after the mask command signal MASK is in L level condition, and the input data (mask command signal MASK) of the data input terminal D is outputted, the mask control signal M from the data output terminal Q falls, and it will be in L level condition.

[0045] By this, as shown in drawing 5, from the selector 3 to the clock output signal OCK, the clock signal shorter than a clock period has arisen at the time of change-over actuation, but after this short period-sized clock is masked and a clock longer than a clock half period is outputted from the OR gate 19 in the mask actuation by the OR gate 19, the masked state by the OR gate 19 is canceled, and the clock CLK2 from the source 2 of a clock oscillation is outputted.

[0046] On the other hand, in switching the clock chosen by the selector 3 to CLK1 from CLK2, it switches the change-over command signal SELECT to L level from H level. At this time, since the selector control signal S from a control circuit 20 is a clock CLK2 side, i.e., H level, the mask command signal MSK from the mask command signal generation circuit 11 starts to the timing T7 of drawing 5, and serves as H level.

[0047] If the mask command signal MSK is set to H level, in a control circuit 20, by D flip-flop 19, it is the standup timing of the clock output signal OCK of the beginning after the mask command signal MASK is in H level condition, and the input data (mask command signal MASK) of the data input terminal D is outputted, the mask control signal M from the data output terminal Q starts to the timing T8 of drawing 5, and it will be in H level condition.

[0048] Thereby, the OR gate 19 will be in mask operating state, and the clock output signal OUT from the OR gate 19 is held at H level. And if the mask control signal M EXCHG, i.e., the completion signal of a change-over, starts and it is set to H level, to the standup timing, the change-over command signal SELECT switched to L level condition will be outputted to a selector 3 as a selector control signal S from the data output terminal Q of D flip-flop 16, and the clock output signal OCK from a selector 3 will be switched to a clock CLK1 from a clock CLK2.

[0049] Moreover, D flip-flop 13 in the mask command signal generation circuit 11 is reset to the standup timing of the completion signal EXCHG of a change-over, and the mask command signal MSK serves as L level. Hereafter, like the time of the change-over on a clock CLK2 from a clock CLK1, at the time of change-over actuation of a selector 3, after the clocks CLK1 or CLK2 of the masked state held over the period more than a clock half period as a clock output signal OUT at H level condition are outputted, the masked state by the OR gate 19 is canceled, and the clock CLK1 from the source 1 of a clock oscillation is outputted.

[0050] Thus, the same operation effectiveness as the 1st example mentioned above is acquired

by the clock change-over circuit of the 2nd example. In addition, although the 1st and 2nd examples mentioned above explained the case where each was masked by holding a clock on H level, it cannot be overemphasized that the completely same operation effectiveness as the example which could hold the clock on L level at the time of change-over actuation of a selector 3, could mask, and was mentioned above also in this case can be acquired.

[0051] Moreover, although the 1st and 2nd examples mentioned above explained the case where offered two sources of a clock oscillation and each carried out the change-over output of either of two clocks CLK1 and CLK2 alternatively This invention is not limited to this, has three or more clocks, and when [of these clocks] carrying out the change-over output of one alternatively, it is applied similarly, and it can acquire the same operation effectiveness as the example mentioned above.

[0052]

[Effect of the Invention] As having explained in full detail above, since it constituted from a selector so that the clock of the masked state held in the H level condition over the period more than a clock half period might be outputted, the short period-ized clock at the time of change-over actuation can remove, and, according to the clock change-over circuit (claims 1 and 2) of this invention, there is effectiveness that generating of malfunction in the various devices which operate using a clock can prevent certainly, at the time of change-over actuation of a selector.

[0053] Since it constituted according to the change-over condition of the change-over command signal and selector to a selector so that the command signal of operation over a mask means might be generated automatically (claim 3), it becomes unnecessary moreover, to input the operating command of a mask means separately at the time of a selector change-over.

CLAIMS

[Claim(s)]

[Claim 1] In the clock change-over circuit which comes to offer the selector (3) which switches alternatively [one] of at least two clocks, and is outputted Each clock inputted into this selector (3) at the time of change-over actuation of this selector (3) It responds to the standup timing or falling timing. The clock change-over circuit where a mask means (4A, 4B) to hold in a high-level condition or the low-level condition over the period more than a clock period is characterized by being offered for every clock by the clock input side of this selector (3).

[Claim 2] In the clock change-over circuit which comes to offer the selector (3) which switches alternatively [one] of at least two clocks, and is outputted The clock outputted from this selector (3) at the time of change-over actuation of this selector (3) It responds to the standup timing or falling timing. The clock change-over circuit characterized by offering a mask means (4) to hold in a high-level condition or the low-level condition over the period more than a clock half period on the clock output side of this selector (3).

[Claim 3] The clock change-over circuit according to claim 1 or 2 characterized by offering a command signal generation means (5) of operation to generate the command signal of operation over this mask means (4A, 4B, 4) according to the change-over condition of the change-over command signal and this selector (3) to this selector (3).